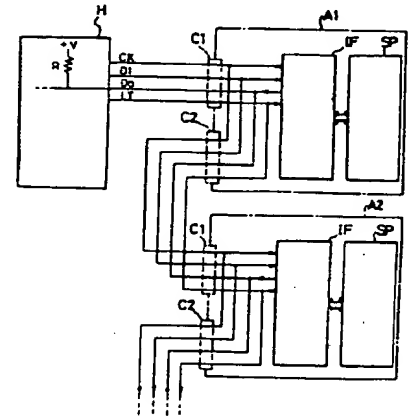


#### (54) INTERFACE SYSTEM BETWEEN HOST DEVICE AND EXTENSION DEVICE

- (11) 5-46548 (A) (43) 26.2.1993 (19) JP  
 (21) Appl. No. 3-229733 (22) 16.8.1991  
 (71) RICOH CO LTD (72) TAKESHI UKEGAWA  
 (51) Int. Cl.<sup>5</sup> G06F13/38

**PURPOSE:** To always decrease the number of signal lines regardless of the number of extension devices for connection of these devices by connecting all extension devices connected in parallel with each other to a host device via a fixed number of signal lines at all times and also performing the transfer of data between the host device and each extension device with use of the serial signals.

**CONSTITUTION:** A host computer H inputs and outputs four signal lines, i.e., a clock signal line CK, a serial input data signal line Di, a serial output data signal line Do, and a latch signal line LT. The extension devices A1-An are connected in parallel to these four signal lines. Each of devices A1-An is provided with two connection plug sockets C1 and C2 so that an optional number of extension devices can be easily connected in sequence. In such a constitution, the number of signal lines can always be decreased for connection secured between the computer H and the extension devices regardless of the number of these devices.



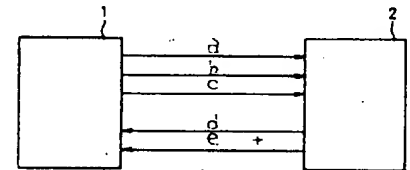
IF: interface circuit, SP: signal processing circuit

#### (54) INTER-MICROCOMPUTER SYNCHRONIZING SERIAL COMMUNICATION SYSTEM

- (11) 5-46549 (A) (43) 26.2.1993 (19) JP  
 (21) Appl. No. 3-199525 (22) 8.8.1991  
 (71) FUJITSU TEN LTD (72) AKIRA KUSAKARI  
 (51) Int. Cl.<sup>5</sup> G06F13/38, G06F13/00

**PURPOSE:** To attain a synchronizing serial communication system where the processing burden of a master microcomputer is reduced when the state detected by a follower microcomputer is monitored and at the same time the quick communication is possible to the master microcomputer when a state change required for communication is detected by the follower microcomputer.

**CONSTITUTION:** In this inter-microcomputer synchronizing serial communication system, a communication request signal line, a clock signal line, and a master data line are set to a follower microcomputer 2 from a master microcomputer 1. Meanwhile a communicatable signal line and a slave data line are set to the microcomputer 1 from the microcomputer 2 respectively. Thus the communication request signal can be transmitted to the microcomputer 1 from the microcomputer 2 via a communicatable signal line. Then the communication can be started at the side of the microcomputer 2.



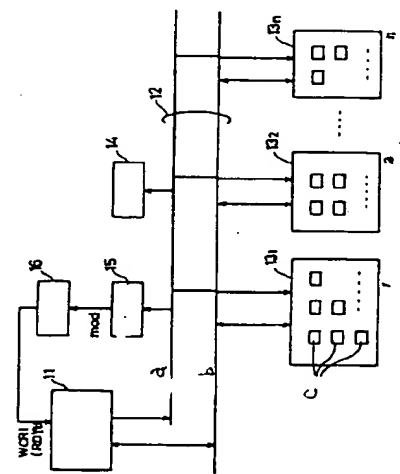
a: communication request signal, b: clock signal, c: master data, d: slave data, e: communicatable signal

#### (54) ACCESS CYCLE CONTROLLER

- (11) 5-46550 (A) (43) 26.2.1993 (19) JP  
 (21) Appl. No. 3-200688 (22) 9.8.1991  
 (71) FUJITSU LTD (72) YUTAKA YOSHIDA  
 (51) Int. Cl.<sup>5</sup> G06F13/42, G06F13/16

**PURPOSE:** To secure an access time with no waste in accordance with the access speed of each controlled device and at the same time to minimize the hardware together with simplification of the processing than in regard of an access cycle controller which is connected to an asynchronous system bus and has an access to the optional one of controlled subjects of different access speeds.

**CONSTITUTION:** Plural controlled devices are divided into groups 13<sub>1</sub>-13<sub>n</sub> based on the same access cycles respectively. An access mode decoder 15 decides the access cycle number in parallel with the decoding operation of an address decoder 14. A timer 16 transmits a timer wait control signal with the access cycle number decided by the decoder 15.



a: address bus, b: data bus, c: subject to be controlled

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平 5 - 4 6 5 5 0

(43)公開日 平成 5 年 ( 1 9 9 3 ) 2 月 2 6 日

(51)Int. Cl. <sup>5</sup>

G06F 13/42

13/16

識別記号

350

520

庁内整理番号

A 8840-5B

8841-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 3 (全 8 頁)

(21)出願番号 特願平 3 - 2 0 0 6 8 8

(22)出願日 平成 3 年 ( 1 9 9 1 ) 8 月 9 日

(71)出願人 0 0 0 0 0 5 2 2 3

富士通株式会社

神奈川県川崎市中原区上小田中 1 0 1 5 番  
地

(72)発明者 ▲吉▼田 豊

神奈川県川崎市中原区上小田中 1 0 1 5 番  
地 富士通株式会社内

(74)代理人 弁理士 伊東 忠彦 (外 2 名)

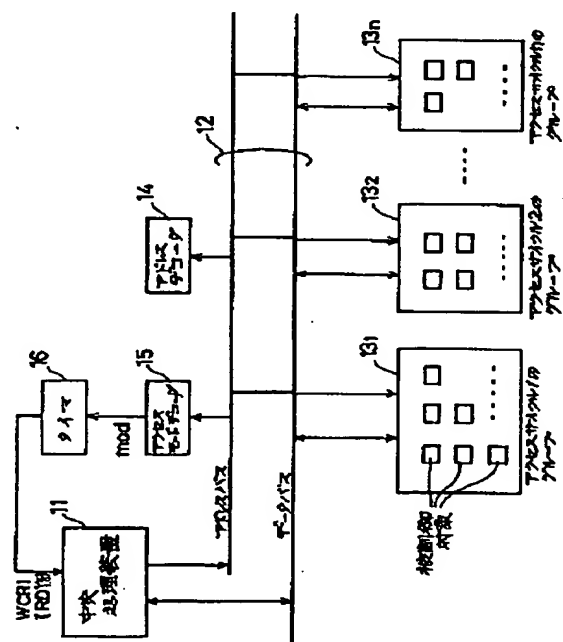
(54)【発明の名称】 アクセスサイクル制御装置

(57)【要約】

【目的】 非同期式のシステムバスに接続された、アクセス速度が異なる被制御対象装置のうち任意の被制御対象装置をアクセスするためのアクセスサイクル制御装置に関し、各被制御対象装置のアクセス速度に合った無駄の無いアクセス時間にすると共に、ハードウェアを最小にし、処理手順を簡潔にすることを目的とする。

【構成】 複数の被制御対象をアクセスサイクルが同じものの同士でグループ分けして複数のグループ 1 3, ~ 1 3. を得る。中央処理装置 1 1 の出力信号に基づいて、アドレスデコーダ 1 4 のデコード動作と並行してアクセスサイクル数の判別をアクセスモードデコーダ 1 5 で行なう。タイマ 1 6 はアクセスモードデコーダ 1 5 により判別されたアクセスサイクル数になった時点でタイマウェイトコントロール信号を送出してアクセスシーケンスを終了させる。

本発明の原理構成図



## 【特許請求の範囲】

【請求項 1】 中央処理装置（11）の非同期式の外部バス（12）上に、アクセス速度が互いに異なる複数の被制御対象を接続し、前記中央処理装置（11）から任意の被制御対象をアクセスするアクセスサイクル制御装置において、

前記複数の被制御対象を、アクセスサイクルが同じもの同士にグループ分けされた複数のグループ（13、～13、）と、

前記中央処理装置（11）の出力信号に基づいて前記複数の被制御対象の中から任意の被制御対象を選択するアドレスデコーダ（14）と、

前記中央処理装置（11）の出力信号に基づいて前記アドレスデコーダ（14）のデコード動作と並行してアクセスサイクル数の判別を行なうアクセスモードデコーダ（15）と、

該アクセスモードデコーダ（15）により判別されたアクセスサイクル数を監視し、該判別アクセスサイクル数になった時点で前記中央処理装置（11）にタイマウェイトコントロール信号を出力してアクセスシーケンスを終了させるタイマ（16）とを有することを特徴とするアクセスサイクル制御装置。

【請求項 2】 前記複数のグループ（13、～13、）以外にアクセスサイクル無限大で制御されるアドレス範囲を設定したことを特徴とする請求項 1 記載のアクセスサイクル制御装置。

【請求項 3】 前記タイマ（16）は、前記アクセスサイクル無限大選択時は、前記アクセスモードデコーダ（15）の出力に基づいて、設定時間経過後にタイムアウトエラー信号を出力することを特徴とする請求項 2 記載のアクセスサイクル制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はアクセスサイクル制御装置に係り、特に非同期システムバスに接続された、アクセス速度が異なる被制御対象装置のうち、任意の被制御対象装置をアクセスするためのアクセスサイクル制御装置に関する。

【0002】 VMEバスやマルチバスなどの非同期式にデータ転送をするバスに、メモリや入出力装置（I/O装置）などの互いにアクセス速度の異なる被制御対象装置が接続された信号処理ボードなどのシステムにおいて、マイクロプロセッサユニット（MPU）が任意の被制御対象装置をアクセスする場合、各被制御対象装置のアクセス速度に合った無駄の無いアクセス時間にする必要がある一方、ハードウェアを最小にし、処理手順を簡潔にするアクセスサイクル制御方式が必要とされる。

## 【0003】

【従来の技術】 図 4 は従来のアクセスサイクル制御装置

の一例の構成図を示す。同図中、MPU1 はタイマウェイトコントロール機能のある MPU で、データバス 2 を介してメモリ 3、I/O 装置 4、～4、などの互いにアクセス速度の異なる装置に接続される一方、バス 5 を介してアドレスデコーダ 6 に接続されている。

【0004】 アドレスデコーダ 6 はメモリ 3、I/O 装置 4、～4、に接続される一方、タイマ 7、8、～8、に夫々接続されている。タイマ 7 はメモリ 3 のアクセス速度に対応したサイクルタイム後にタイマウェイトコントロール信号を発生する。タイマ 8、～8、は I/O 装置 4、～4、の各アクセス速度に対応したサイクルタイム後にタイマウェイトコントロール信号を発生する。

【0005】 かかる構成の従来装置において、MPU1 はバス 5 を介してアクセスしようとする装置を特定するアドレス信号とストロブ信号をアドレスデコーダ 6 へ出力する。アドレスデコーダ 6 は入力アドレス信号に基づいてメモリ 3 及び I/O 装置 4、～4、の被アクセス対象装置のうち指定された装置を選択すると同時に、選択した装置に対応して設けられたタイマを起動する。

【0006】 例えば、メモリ 3 がアドレスデコーダ 6 により選択されたものとするタイマ 7 がメモリ 3 の選択時に起動される。メモリ 3 はこの選択によりデータバス 2 を介して MPU1 からのデータを書き込み、又はデータを読み出して MPU1 へ出力する。

【0007】 そして、タイマ 7 が起動後、メモリ 3 のアクセス速度に対応した所定のサイクルタイム経過した時点で MPU1 へタイマウェイトコントロール信号を出力する。これにより、MPU1 はアクセスシーケンスを終了する。

## 【0008】

【発明が解決しようとする課題】 しかるに、上記の従来のアクセスサイクル制御装置では、メモリ 3、I/O 装置 4、～4、の夫々に対応してタイマ 7、8、～8、を設け、各対象に応じたアクセスサイクル制御を行なっているために時間的には一番効率的であるが、ハードウェアが著しく増大し、コスト的にもスペース的にも不利である。

【0009】 また、MPU1 側で個々の対象に応じたサイクル数の制御を行なうことも考えられるが、サイクル数の切り換えコマンドが必要など、煩雑な処理を伴う。

【0010】 本発明は以上の点に鑑みなされたもので、被制御対象をアクセスサイクル別にグループ分けし、各グループ別にアクセスサイクル制御を行なうことにより、上記の課題を解決したアクセスサイクル制御装置を提供することを目的とする。

## 【0011】

【課題を解決するための手段】 図 1 は請求項 1 記載の発明の原理構成図を示す。同図に示すように、本発明は中央処理装置 11 の非同期式の外部バス 12 上に、アクセス速度が互いに異なる複数の被制御対象を接続し、中央

3

処理装置 11 から任意の被制御対象をアクセスするアクセスサイクル制御装置において、複数の被制御対象をアクセスサイクルが同じもの同士にグループ 13、～13 にグループ分けする。

【0012】中央処理装置 11 の出力信号に基づいて複数の被制御対象の中から任意の被制御対象をアドレスデコード 14 により選択する。このアドレスデコード動作と並行してアクセスサイクル数の判別がアクセスモードデコード 15 により判別される。アクセスモードデコード 15 により判別されたアクセスサイクル数が、タイマ 16 で監視され、判別されたアクセスサイクル数になった時点で、タイマ 16 は中央処理装置 11 にタイマウェイトコントロール信号を出力してアクセスシーケンスを終了させる。

【0013】また、請求項 2 記載の発明では、前記複数のグループ (12) 以外に、アクセスサイクル無限大のアドレス範囲を設定したものである。更に、請求項 3 記載の発明では、タイマ 16 はアクセスサイクル無限大選択時は、アクセスモードデコード 15 の出力に基づいて設定時間後にタイムアウトエラー信号を発生する。

【0014】

【作用】図 1 に示した発明では、通常のアドレスデコード 14 がアクセス対象 (被制御対象) を判別している間に、アクセスモードデコード 15 が各アドレスに応じたサイクル数を判別し、タイマ 16 に通知する。これにより、タイマ 16 は判別アクセスサイクル数になった時点で、中央処理装置 11 にタイマウェイトコントロール信号を供給し、アクセスシーケンスを終了させる。

【0015】従って、本発明では各アドレス毎にアクセスサイクル数を決めるのではなく、アドレスレンジ毎にアクセス速度の近い被制御対象を一つのグループにまとめてアクセスサイクル数をアクセスモードデコード 15 で判別しているため、アドレスデコード 14 および各被制御対象ごとのタイマ制御回路 7、8、…8、の負担を軽くできると共に、タイマ 16 を共用できる。

【0016】また、請求項 2 記載の発明では、アクセスサイクル無限大のアドレス範囲を設定したので、被制御対象の出力により、タイマウェイトコントロール信号を出力させることができる。

【0017】更に、請求項 3 記載の発明では、アクセスサイクル無限大とした場合、前記設定時間後にタイムアウトエラー信号が出力されるので、ハングアップを防止することができる。

【0018】

【実施例】図 2 は本発明の一実施例の構成図を示す。同図中、図 1 と同一構成部分には同一符号を付してある。また、図 2 では図示の便宜上、図 1 に示した中央処理装置 (以下、MPU と記す) 11 の図示は省略してある。

【0019】図 2 において、メモリ 21 はアクセスサイクル数 “3” のグループ 13、に属するように設定さ

4

れ、I/O 装置 22 及び 23 は夫々アクセスサイクル数 “5” のグループ 13、に属するように設定されている。これはメモリ 21 と I/O 装置 22 及び 23 とは互いにアクセス速度が異なり、メモリ 21 は I/O 装置 22、23 に比し、アクセス速度が速く、また I/O 装置 22 及び 23 は夫々同程度のアクセス速度であることによる。メモリ 21、I/O 装置 22 及び 23 からなる被制御対象はデータバス 24 を介して図示しない MPU に接続されている。

【0020】アドレスデコード 14 a 及びデコード 14 b は前記アドレスデコード 14 を構成している。アドレスデコード 14 a は、コントロールバス 25 を介してストロブ信号 STB とアドレス信号の上位 8 ビット A15～8 が入力され、I/O セレクト信号 IOS\* とメモリセレクト信号 MES\* とを出力する。

【0021】デコード 14 b は I/O セレクト信号 IOS\* と 16 ビットのアドレス信号とが入力され、I/O 装置 22 又は 23 を選択するセレクト信号 IO、又は IO、を出力する。アクセスモードデコード 15 はコントロールバス 25 からのストロブ信号 STB と、アドレスバス 26 からのアドレス信号の上位 8 ビット A15～8 とが夫々入力され、5 サイクルモード制御信号 CYC5、3 サイクルモード制御信号 CYC3 及びアクセスサイクル無限大モード制御信号 CYC∞ のいずれか一つを出力する。

【0022】タイマ 16 はクロック (CK) を計数する 4 ビットカウンタ 28 とバス制御部 27 とからなり、4 ビットカウンタ 28 の出力計数値と、アクセスモードデコード 15 からの制御信号とに基づいてバス制御部 27 からタイマウェイトコントロール信号 RDY\* を出力する。

【0023】ここで、メモリ 21、I/O 装置 22 及び 23 は図 3 に示すアドレスマップによりアドレスが設定されている。すなわち、I/O 装置 22 及び 23 は図 3 に I で示すアドレス領域の「0000」から「00FF」のいずれかにアドレス設定されている。また、メモリ 21 は図 3 に II で示すアドレス領域の「0100」～「FEFF」にアドレス設定されている。更に、図 3 に III で示すアドレス領域は被制御対象には割当てられていず、アクセスサイクル無限大モード制御用のアドレス領域とされている。

【0024】次に、本実施例の動作について説明する。メモリ 21 をアクセスするものとする、MPU はコントロールバス 25 を介してストロブ信号 STB とリード/ライト信号 r/w\* を夫々出力すると共に、アドレスバス 26 に「0100」～「FEFF」の範囲内のアドレス信号を出力する。

【0025】すると、アドレスデコード 14 a はアドレス信号の上位 8 ビット A15～8 とストロブ信号 STB とに基づいて、上位 8 ビット A15～8 が「00」か

50

ら「FF」の範囲でもないことを判別してメモリセレクト信号MES\*をローレベル(アクティブ)とする。

【0026】そのメモリセレクト信号MES\*はメモリ21のチップセレクト端子CSに印加されてメモリ21をリード/ライト可能状態とする。これにより、メモリ21はリード/ライト信号r/w\*に従って、データバス24へ16ビットデータD15~0を読み出すか、又はデータD15~0を書き込む。

【0027】一方、アクセスモードデコーダ15は上記のアドレス信号の上位8ビットA15~8とストロブ信号STBとに基づいて、上位8ビットA15~8が「00」から「FF」の範囲でもないことを判別して3サイクルモード制御信号CYC3を発生する。

【0028】上記の3サイクルモード制御信号CYC3はバス制御部27に入力される。これにより、バス制御部27は4ビットカウンタ28の計数値が“3”になった時点でローレベルのタイムウェイトコントロール信号RDY\*を発生し、コントロールバス25を介してMPU(図示せず)へ供給する。これにより、アクセスシーケンスが終了する。

【0029】次にI/O装置22をアクセスする場合について説明する。I/O装置22はアドレス「0000」に割り当てられているものとする。この場合はMPU(図示せず)はコントロールバス25を介してストロブ信号STBを出力すると共に、アドレスバス26に「0000」のアドレス信号を出力する。

【0030】これにより、アドレスデコーダ14aはアドレス信号の上位8ビットA15~8とストロブ信号に基づいて、I/Oセレクト信号IOS\*をローレベル(アクティブ)とする。これにより、デコーダ14bはアドレス信号の下位8ビットが「00」であることからセレクト信号IO1を発生してI/O装置22を選択する。

【0031】なお、I/O装置22及び23がデジタル入力専用I/O装置又はデジタル出力専用I/O装置の場合、リード/ライト信号r/wでI/O装置が選択されるので、デコーダ14bにはリード/ライト信号r/wも入力されるよう構成されている。

【0032】一方、アクセスモードデコーダ15は入力アドレス信号の上位8ビットA15~8が「00」であることから図3からわかるように5サイクルモードと判別し、5サイクルモード制御信号CYC5をローレベル(アクティブ)としてバス制御部27へ通知する。

【0033】すると、バス制御部27はこの制御信号CYC5入力後、4ビットのカウンタ28の出力計数値が“5”となった時点でタイムウェイトコントロール信号RDY\*を発生し(ローレベルとし)、それをコントロールバス25を介してMPU(図示せず)へ入力する。これにより、I/O装置22へのアクセスシーケンスが終了する。

【0034】このように、本実施例によれば、アクセスモードデコーダ15によりI/O装置22及び23のグループ13、の5サイクルモード制御か、メモリ21の3サイクルモード制御かを判別しているため、アドレス毎にアクセスサイクル数を決める従来に比し、アドレスデコーダ14a、14bの負担を軽くでき、よって効率的なアクセスができ、しかもタイマ16を共用できるため従来に比しハードウェア規模を低減できる。

【0035】ところで、本実施例はアクセスサイクル無限大モードも実現できるものであり、次にアクセスサイクル無限大モード選択時の動作について説明する。A/D変換のA/D変換終了信号など、被制御対象がMPUを制御したい場合に、このアクセスサイクル無限大モードが選択される。この場合は、MPU(図示せず)はストロブ信号と共に「FF00」~「FFFF」のアドレス領域III内のアドレス値のアドレス信号を出力する。

【0036】これにより、アドレスデコーダ14aは入力上位8ビットのアドレスが「FF」であるため、I/Oセレクト信号IOS\*及びメモリセレクト信号MES\*のいずれも出力せず、かわりにローカル制御I/Oセレクト信号LIO\*を選択する。一方、アクセスモードデコーダ15は入力される上位8ビットのアドレスが「FF」であるため、アクセスサイクル無限大モードと判別し、アクセスサイクル無限大モード制御信号CYC∞を発生する。

【0037】バス制御部27はこの制御信号CYC∞が入力されると、4ビットカウンタ28の出力計数値に関係なく、タイムウェイトコントロール信号RDY\*の送出を停止する。

【0038】この状態において、ローカル制御I/O装置29の専用バス制御部29'から、タイムウェイトコントロール信号がMPUへ送出されると、アクセスシーケンスが終了される。

【0039】なお、上記のアクセスサイクル無限大モードの場合、I/O装置29に何らかの異常があると、タイムウェイトコントロール信号がMPUへいつまでも送られても送出されなくなり、よってアクセスシーケンスがいつまでも終了しなくなりハングアップとなる。

【0040】そこで、上記の場合を考慮して、4ビットカウンタ28の代わりに8ビットカウンタを設け、バス制御部27はアクセスサイクル無限大モード制御信号CYC∞入力時は、8ビットカウンタの計数値が最大値に達したときに、強制的にタイムウェイトコントロール信号を発生し、タイムアウトエラー通知をMPUに対して行なう。これにより、ハングアップを防止することができる。

【0041】

【発明の効果】上述の如く、請求項1記載の発明によれば、アドレスデコーダの負担を従来に比し軽くできるた

め、効率の良いアクセスを実現でき、またタイマを共用できるため、被制御対象毎にタイマを有する従来装置に比しハードウェアを大幅に簡略化することができる。

【0042】また、請求項2記載の発明によれば、被制御対象によりアクセスシーケンスを終了させることができ、更に請求項3記載の発明によれば、設定時間アクセスサイクル無限大モードが継続したときは、強制的にタイムアウトエラー通知をMPUに対して行なうようにしたため、ハングアップを防止することができる等の特長を有するものである。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の一実施例の構成図である。

【図3】アドレスマップの一例を示す図である。

【図4】従来の一例の構成図である。

【符号の説明】

11 中央処理装置

12 バス

13, ~13, 被制御対象のグループ

14, 14a アドレスデコーダ

14b デコーダ

15 アクセスモードデコーダ

16 タイマ

21 メモリ

22, 23 I/O装置

10 27 バス制御部

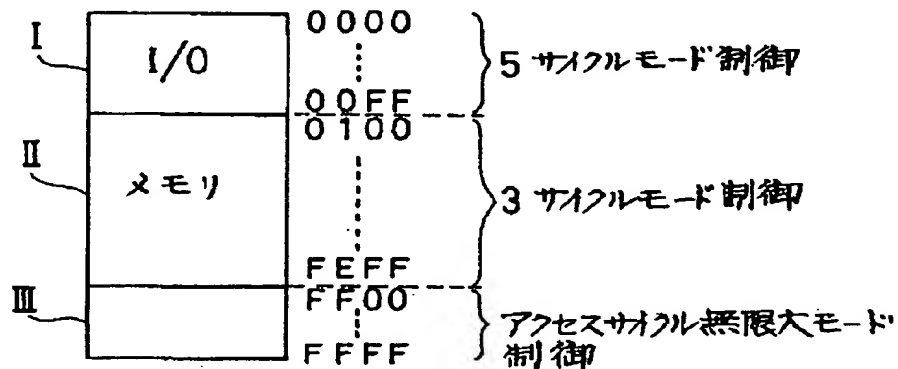
28 4ビットカウンタ

29 ローカル制御I/O装置（アクセスタイマ無限大制御のI/Oで、個々のI/O側でアクセスサイクルおよびノイズの制御する）

29' ローカル制御I/O装置の専用バス制御回路

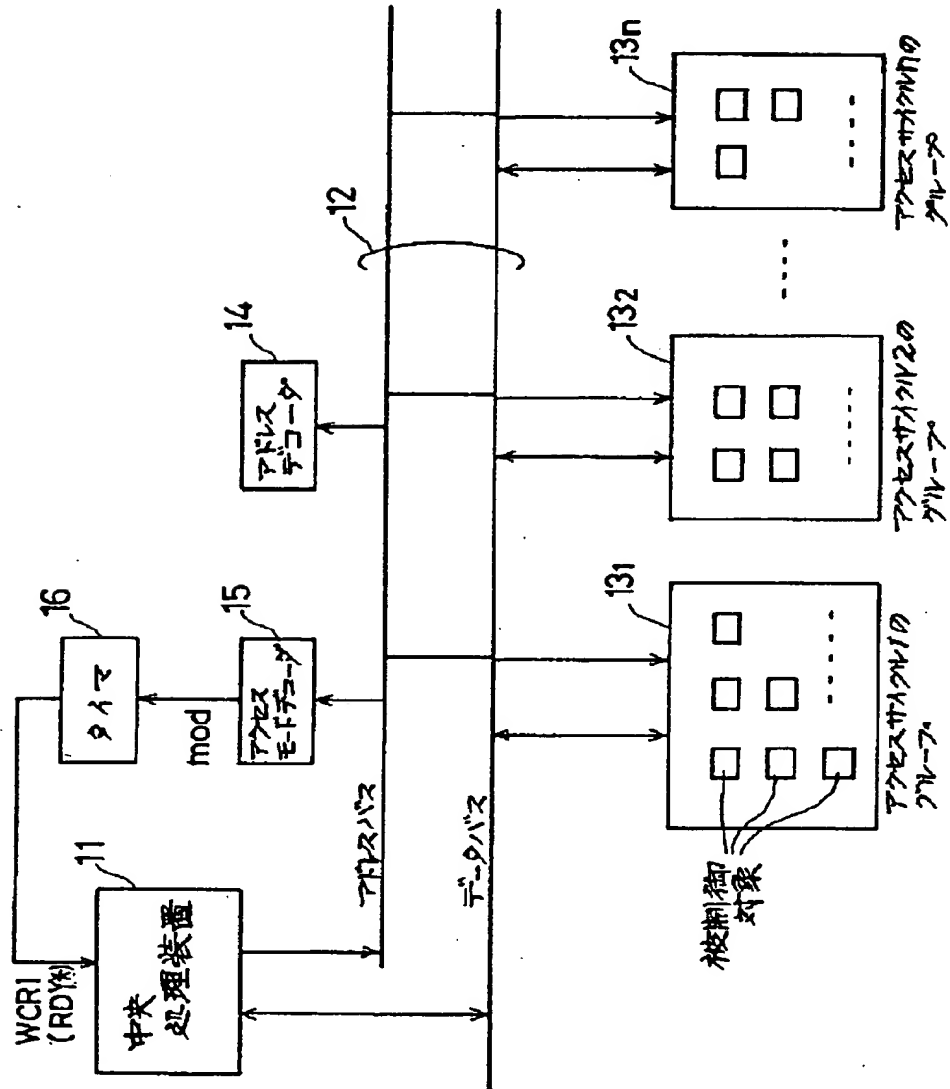
【図3】

### アドレスマップの一例



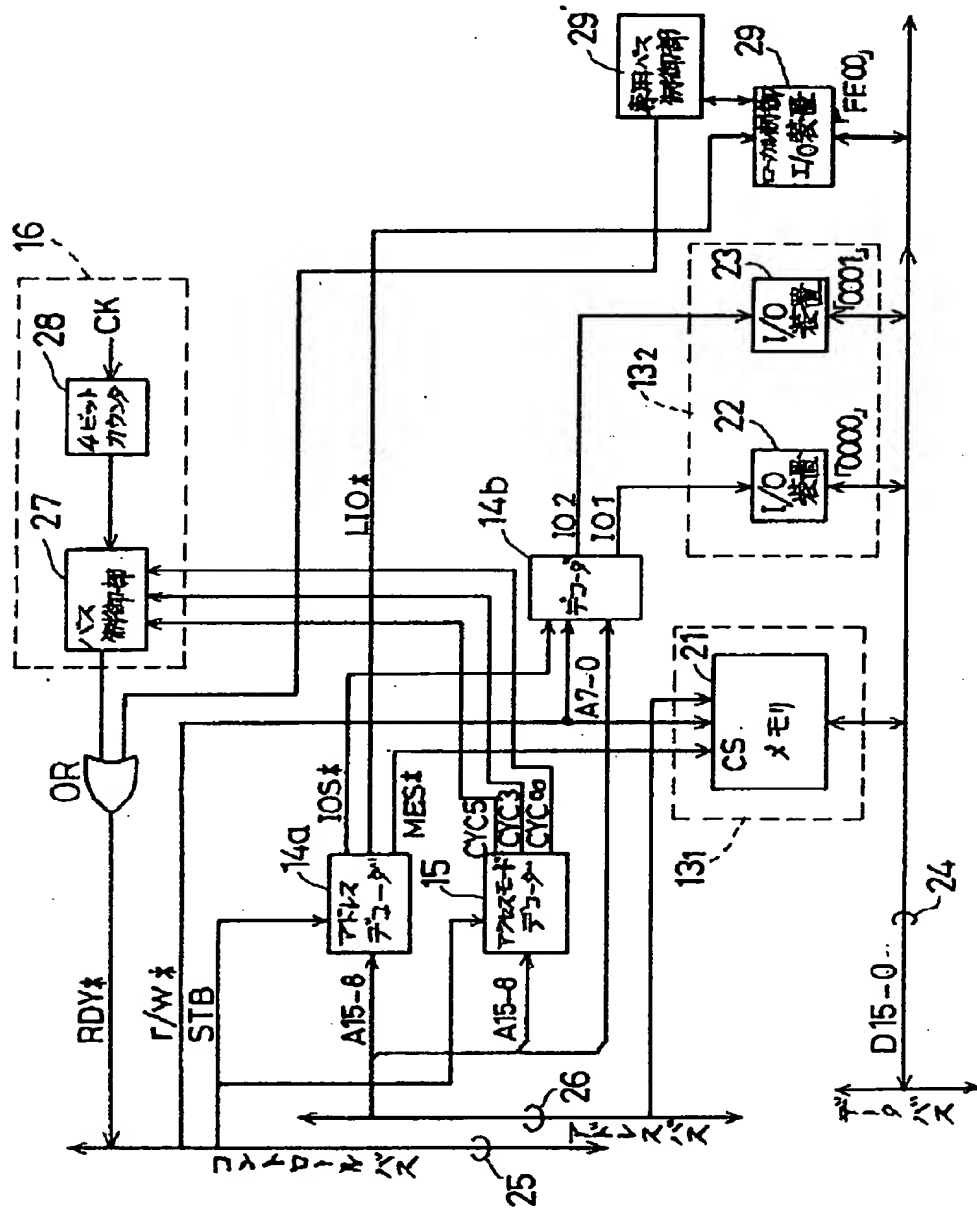
【図 1】

## 本発明の原理構成図



【 図 2 】

## 本発明の一実施例の構成図





【図 4】

## 従来の一例の構成図

